

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 38 812.1

Anmeldetag: 23. August 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterspeichervorrichtung mit veränderbarer Kontaktbelegung und entsprechende Halbleitervorrichtung

IPC: H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 7. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Remus

Halbleiterspeichervorrichtung mit veränderbarer Kontaktbelegung und entsprechende Halbleitervorrichtung

Beschreibung

Die vorliegende Erfindung betrifft eine Halbleiterspeichervorrichtung und eine Halbleitervorrichtung.

Es sind Halbleiterspeichervorrichtungen bekannt, welche Kontakte in Form eines Ball-Grid-Arrays (BGA) zum Kontaktieren mit einer Leiterplatte aufweisen. Ferner ist es bekannt, an einer Leiterplatte Halbleiterspeichervorrichtungen mittels einem sogenannten "clamp-shelling" symmetrisch zueinander auf zwei Leiterplattenseiten anzubringen. Hierdurch wird ermöglicht, daß mehrere Halbleiterspeichervorrichtungen eine Leitung der Leiterplatte gemeinsam verwenden. Hierzu muß die Belegung der Kontakte der zwei Halbleiterspeichervorrichtungen jedoch spiegelsymmetrisch sein. Bei einer großen Anzahl nicht vertauschbarer Pins, z.B. Adresspins oder Kommandopins, führt dies zu Halbleiterspeichervorrichtungen die sehr viele Kontakte aufweisen, wobei ein Großteil der Kontakte nicht genutzt werden kann und nur zu Symmetriezwecken vorhanden ist.

Es ist somit eine Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichervorrichtung und eine Halbleitervorrichtung bereitzustellen, die eine vorteilhafte Ausnutzung der vorhandenen Ressourcen und eine einfache Handhabung der Halbleiterspeichervorrichtung ermöglichen.

Diese Aufgabe wird gelöst durch eine Halbleiterspeichervorrichtung mit den in Anspruch 1 angegebenen Merkmalen und eine Halbleitervorrichtung mit den in Anspruch 11 angegebenen Merkmalen. Bevorzugte Ausführungsformen sind Inhalt der ab-

hängigen Ansprüche.

Gemäß der Erfindung wird eine Halbleiterspeichervorrichtung bzw. Speicherchip bereitgestellt, umfassend einen integrierten Halbleiterspeicher und eine Anschlußvorrichtung bzw. ein Package, wobei

5 die Anschlußvorrichtung umfaßt:

- eine Vielzahl von matrixartig angeordneten Kontakten, mittels welchen die Halbleiterspeichervorrichtung mit einer insbesondere zu bestückenden Leiterplatteneinrichtung bzw. Platine signalverbindbar ist, wobei die Vielzahl von Kontak-

10 ten eine erste Kontaktgruppe, deren Belegung bzw. Signalbelegung nicht veränderbar ist, eine zweite Kontaktgruppe, deren Belegung bzw. Signalbelegung veränderbar ist, und einen Zuordnungskontakt bzw. Spiegel-Pin bzw. Mirror-Pin zum Empfangen eines externen Zuordnungssignals bzw. Spiegel-Signals

15 bzw. Mirror-Signals, umfaßt; und

der integrierte Halbleiterspeicher umfaßt:

- eine Vielzahl von internen Anschlüssen, wobei die Vielzahl von internen Anschlüssen eine erste Gruppe von internen Anschlüssen, deren Anschlüsse Kontakten der ersten Kontakt-

20 gruppe der Anschlußvorrichtung zugeordnet und mit diesen signalverbunden sind, und eine zweite Gruppe von internen Anschlüssen, deren Anschlüsse mit verschiedenen Kontakten der zweiten Kontaktgruppe der Anschlußvorrichtung signalverbindbar sind, umfaßt,

25 - einen Zuordnungsanschluß, welcher mit dem Zuordnungskontakt der Anschlußvorrichtung in Signalverbindung steht;

- eine Signalerzeugungseinrichtung, welche mit dem Zuordnungsanschluß in Signalverbindung steht, und ausgelegt ist zum Erzeugen eines internen Zuordnungssignals, welches zumin-

30 dest zwei verschiedene Zustände annehmen kann, abhängig von dem über den Zuordnungskontakt empfangenen externen Zuordnungssignal,

- eine Zuordnungseinrichtung bzw. Remapping-Einheit bzw. Steering-Unit, welche zwischen der zweiten Gruppe der inter-

nen Anschlüsse und der zweiten Kontaktgruppe der Anschlußvorrichtung angeordnet ist und mit diesen und der Signalerzeugungseinrichtung in Signalverbindung steht, wobei die Zuordnungseinrichtung ausgelegt ist zum Durchführen einer Zuordnung zwischen den internen Anschlüssen der zweiten Gruppe und den Kontakten der zweiten Kontaktgruppe der Anschlußvorrichtung durch Herstellen elektrischer Signalverbindungen zwischen diesen in Abhängigkeit des von der Signalerzeugungseinrichtung erzeugten internen Zuordnungssignals.

Hierbei wird als der integrierte Halbleiterspeicher der Siliziumchip bzw. das sog. "die" auf bzw. an welchem integrierte Schaltungen ausgebildet sind, als solcher betrachtet. Die Anschlußvorrichtung wird zum Anbringen des Halbleiterspeichers an eine Leiterplatteneinrichtung verwendet. Dabei werden Signalverbindungen zwischen dem Halbleiterspeicher und dem matrixartig angeordneten Kontakten der Anschlußvorrichtung ausgebildet.

Vorliegend bedeutet der Ausdruck "Belegung" der Kontakte, daß über den jeweiligen Kontakt eine bestimmte Art von Signal bzw. ein bestimmtes Signal übertragen wird. Die Belegung ist nicht veränderbar, wenn eine feste Zuordnung zwischen den internen Anschlüssen des Halbleiterspeichers und den jeweiligen Kontakten der Anschlußvorrichtung besteht. Hingegen ist die Belegung veränderbar, wenn keine feste Zuordnung zwischen den internen Anschlüssen des Halbleiterspeichers und den Kontakten der Anschlußvorrichtung besteht, d.h. daß z.B. die Belegung von zwei Kontakten intern vertauscht werden kann. Die Zuordnung erfolgt erst beim Betrieb der Halbleitervorrichtung. Dies wird gemäß der Erfindung durch Zwischenschalten der Zuordnungseinrichtung ermöglicht.

Somit kann durch geeignetes Beschalten der Zuordnungseinrichtung ein und dieselbe Halbleiterspeichervorrichtung verschiedene Belegungen der Kontakte haben. In der Herstellung ist es

somit nurmehr nötig, einen Typ eines Halbleiterspeichers herzustellen. Bei diesem können dann je nach Bedarf die Kontakte mit unterschiedlichen Signalen belegt werden. Es ist nicht notwendig, daß die Belegung der Kontakte der Halbleiterspeichervorrichtung bezüglich einer der Mittelachsen der Halbleiterspeichervorrichtung symmetrisch ist. Somit kann die Größe der Halbleiterspeichervorrichtung reduziert werden, da nahezu keine ungenutzten Kontakte, die zu Symmetriezwecken notwendig waren, mehr vorgesehen werden müssen.

10

Vorzugsweise umfaßt der integrierte Halbleiterspeicher ferner eine Vielzahl von äußeren Anschlüssen, welche mit den Kontakten der Anschlußvorrichtung unveränderbar signalverbunden sind, die internen Anschlüsse der ersten Gruppe von internen Anschlüssen sind mit den jeweiligen äußeren Anschlüssen signalverbunden, und die internen Anschlüsse der zweiten Gruppe von internen Anschlüssen sind über die Zuordnungseinrichtung mit den jeweiligen äußeren Anschlüssen signalverbindbar.

15

20 Die Belegung eines Teils der äußeren Anschlüsse ist somit veränderbar. Innerhalb des integrierten Halbleiterspeichers findet das Verändern der Belegung statt.

20

Bevorzugt ist die Vielzahl von äußeren Anschlüssen in zumindest einer Reihe, vorzugsweise im wesentlichen mittig, auf dem integrierten Halbleiterspeicher angeordnet.

25

Weiter bevorzugt umfaßt die zweite Gruppe von internen Anschlüssen Anschlüsse, auf die schnell zugegriffen werden soll, vorzugsweise Adressierungsanschlüsse, Clockanschlüsse und/oder Kommandoanschlüsse.

30

Die Kontakte der Anschlußvorrichtung, welche mit dieser Art von Anschlüssen verbunden sind müssen jeweils an einer bestimmten Position bezüglich der Leiterplatteneinrichtung, an welcher der Halbleiterspeicher befestigt wird, vorgesehen

35

sein. Die erfindungsgemäße Halbleiterspeichervorrichtung ermöglicht es somit, diese Art von Anschlüssen jeweils mit den benötigten Kontakten zu verbinden.

- 5 In einer bevorzugten Ausführungsform ist die Signalerzeugungseinrichtung ausgelegt, ein internes Zuordnungssignal mit zwei verschiedenen Zuständen zu erzeugen, wobei
- wenn das interne Zuordnungssignal den ersten Zustand annimmt, die Belegung der Kontakte der zweiten Kontaktgruppe
- 10 der Anschlußvorrichtung eine vorbestimmbare erste Belegung annimmt, und
- wenn das interne Zuordnungssignal den zweiten Zustand annimmt, die Belegung der Kontakte der zweiten Kontaktgruppe
- 15 der Anschlußvorrichtung im wesentlichen der entlang der Längsmittelachse oder Quermittelachse der Halbleiterspeichervorrichtung gespiegelten ersten Belegung entspricht.

- Dadurch ist es möglich, Halbleiterspeichervorrichtungen bereitzustellen, die eine Belegung der Kontakte der Anschluß-
- 20 vorrichtung aufweisen, die zumindest teilweise zueinander spiegelsymmetrisch sind. Es wird somit ermöglicht, das nur eine Art von Halbleiterspeichervorrichtung hergestellt werden muß, jedoch beim Bestücken der Halbleiterspeichervorrichtung unterschiedliche Belegungen der Kontakte der Anschlußvorrichtung
- 25 erreichbar sind und somit nur eine Art von Halbleiterspeichervorrichtung verwendet werden muß. Somit kann auch die Ausschußrate der bestückten Leiterplatten reduziert werden.

- In einer weiteren bevorzugten Ausführungsform ist die Signalerzeugungseinrichtung ausgelegt, ein internes Zuordnungssignal mit drei verschiedenen Zuständen zu erzeugen und wenn
- 30 das interne Zuordnungssignal den dritten Zustand annimmt, die Belegung der Kontakte der zweiten Kontaktgruppe der Anschlußvorrichtung im wesentlichen der entlang der anderen Mittel-
- 35 achse der Halbleiterspeichervorrichtung als im zweiten Zustand gespiegelten ersten Belegung entspricht.

In einer weiteren bevorzugten Ausführungsform ist die Signalerzeugungseinrichtung ausgelegt, ein internes Zuordnungssignal mit vier verschiedenen Zuständen zu erzeugen und wenn
5 das interne Zuordnungssignal den vierten Zustand annimmt, die Belegung der Kontakte der zweiten Kontaktgruppe der Anschlußvorrichtung im wesentlichen der entlang der Längsmittelachse und Quermittelachse der Halbleiterspeichervorrichtung gespiegelten ersten Belegung entspricht.

10

Vorzugsweise sind die Kontakte der Anschlußvorrichtung als ein Ball-Grid-Array ausgebildet.

Bevorzugt umfaßt die Zuordnungseinrichtung Logikgatter.

15

Weiter bevorzugt sind die Kontakte der zweiten Kontaktgruppe im wesentlichen symmetrisch zu Längsmittelsachse und/oder
Quermittelachse der Halbleiterspeichervorrichtung angeordnet.

20 Vorzugsweise werden die zwischen den internen Anschlüssen des integrierten Halbleiterspeichers und den Kontakten der Anschlußvorrichtung zu übertragenden Signale durch die Übertragung im wesentlichen nicht verändert. Jedoch können die Signale die Signale aufbereitet, z.B. verstärkt werden.

25

Gemäß der Erfindung wird ferner eine Halbleitervorrichtung bereitgestellt, umfassend zumindest zwei Halbleiterspeichervorrichtungen gemäß der vorliegenden Erfindung oder einer bevorzugten Ausführungsform davon und eine Leiterplatteneinrichtung, wobei
30

- die zwei Halbleiterspeichervorrichtungen auf entgegengesetzten Seiten der Leiterplatteneinrichtung einander im wesentlichen gegenüberliegend angeordnet sind, und

- die Leiterplatteneinrichtung zumindest einen Zuordnungsversorgungsanschluß, welcher mit dem Zuordnungskontakt einer Halbleiterspeichervorrichtung signalverbindbar ist, umfaßt.

35

Vorzugsweise ist die Halbleitervorrichtung derart ausgestaltet, daß beim Betrieb der Halbleitervorrichtung

- der Zuordnungskontakt der ersten Halbleiterspeichervorrichtung nicht mit der Leiterplatteneinrichtung in Signalverbindung steht und das interne Zuordnungssignal der ersten Halbleiterspeichervorrichtung den ersten Zustand annimmt, und
- der Zuordnungskontakt der zweiten Halbleiterspeichervorrichtung mit einem vorbestimmten Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung in Signalverbindung steht und das interne Zuordnungssignal der zweiten Halbleiterspeichervorrichtung den zweiten Zustand annimmt.

- Somit wird es ermöglicht, daß zwei in der Produktion identische Halbleitervorrichtungen in einer Clamp-Shell-Anordnung mit einer Leiterplatteneinrichtung verwendet werden können.

- Die erste Halbleiterspeichervorrichtung wird beim Bestücken der Leiterplatteneinrichtung mit der "richtigen Orientierung" auf der ersten Seite der Leiterplatteneinrichtung angeordnet und befestigt. Beim Anbringen der Halbleiterspeichervorrichtung müssen die Kontakte der Halbleiterspeichervorrichtung deckungsgleich mit den Anschlüssen der Leiterplatteneinrichtung angeordnet werden. Hierbei ist es jedoch möglich, daß die Halbleiterspeichervorrichtung "richtig herum", d.h. mit der richtigen Orientierung, oder "falsch herum" bzw. "auf dem Kopf", d.h. mit der falschen Orientierung, angeordnet werden. In der Regel weisen Halbleiterspeichervorrichtungen eine Markierung auf, um eine richtige Orientierung sicherzustellen.

30

- Hierbei wird der Zuordnungskontakt der ersten Halbleiterspeichervorrichtung nicht mit der Leiterplatteneinrichtung kontaktiert, er "floatet". Das Zuordnungssignal der ersten Halbleiterspeichervorrichtung nimmt den ersten Zustand an und die Belegung der Kontakte der Halbleiterspeichervorrichtung ist die erste Belegung.

Die zweite Halbleiterspeichervorrichtung wird auf der anderen Seite der Leiterplatteneinrichtung mit der richtigen Orientierung positioniert. Hierbei wird der Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung in Signalverbindung gebracht mit dem Zuordnungskontakt der zweiten Halbleiterspeichervorrichtung. Das Zuordnungssignal der zweiten Halbleiterspeichervorrichtung nimmt den zweiten Zustand an, wobei die Belegung der zweiten Kontaktgruppe nun entlang der Längsmittelachse oder Quermittelachse der Halbleiterspeichervorrichtung bezüglich der Belegung der ersten Halbleiterspeichervorrichtung ausgebildet wird. Somit wird eine Clamp-Shell-Anordnung ermöglicht.

Bevorzugt umfaßt die Leiterplatteneinrichtung zumindest zwei Zuordnungsversorgungsanschlüsse, welche mit dem Zuordnungskontakt einer Halbleiterspeichervorrichtung signalverbindbar sind, und abhängig davon, mit welchem Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung der Zuordnungskontakt der zweiten Halbleiterspeichervorrichtung in Signalverbindung steht, nimmt das interne Zuordnungssignal der zweiten Halbleiterspeichervorrichtung den zweiten oder dritten Zustand an.

In dieser Ausführungsform muß nur die erste Halbleiterspeichervorrichtung in der richtigen Orientierung bezüglich der Leiterplatteneinrichtung angeordnet werden. Die zweite Halbleiterspeichervorrichtung kann "richtig orientiert" oder "falsch orientiert" angeordnet werden, d.h. für beide Orientierungen wird jeweils die richtige Belegung der Kontakte der zweiten Halbleiterspeichervorrichtung ermöglicht.

In einer bevorzugten Ausführungsform ist die Halbleitervorrichtung derart ausgestaltet, daß

- die Leiterplatteneinrichtung zumindest vier Zuordnungsversorgungsanschlüsse umfaßt;

- der Zuordnungskontakt der ersten und zweiten Halbleiterspeichervorrichtung mit jeweils einem vorbestimmten Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung in Signalverbindung steht; und

- 5 - abhängig davon, mit welchem Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung der Zuordnungskontakt der zweiten Halbleiterspeichervorrichtung in Signalverbindung steht, das interne Zuordnungssignal der zweiten Halbleiterspeichervorrichtung den zweiten oder dritten Zustand annimmt und das
10 interne Zuordnungssignal der ersten Halbleiterspeichervorrichtung den ersten oder vierten Zustand annimmt.

In dieser Ausführungsform können beide Halbleiterspeichervorrichtungen "beliebig" orientiert werden. Hierbei muß jedoch
15 auch der Zuordnungskontakt der ersten Halbleiterspeichervorrichtung mit einem Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung in Signalverbindung gebracht werden. Es wird "automatisch" die passende Belegung der Kontakte der Halbleiterspeichervorrichtung ausgebildet.

20

Weitere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden aus der beispielhaften Beschreibung einer bevorzugten Ausführungsform mit Bezug auf die Zeichnungen ersichtlich.

25

Figur 1 zeigt eine schematische Seitenansicht einer erfindungsgemäßen Halbleitervorrichtung;

Figuren 2A und 2B zeigen schematische teilweise Ansichten der
30 Flächenseiten einer Leiterplatteneinrichtung gemäß der vorliegenden Erfindung;

Figur 3 zeigt eine schematische Querschnittansicht einer erfindungsgemäßen Halbleiterspeichervorrichtung;

35

Figur 4 zeigt eine schematische Ansicht eines integrierten

Halbleiters einer erfindungsgemäßen Halbleiterspeichervorrichtung;

Figuren 5A-5D zeigen schematische Ansichten der Belegung der Kontakte einer erfindungsgemäßen Anschlußvorrichtung.

Figur 6 zeigt eine schematische Darstellung einer ersten Ausführungsform einer Signalerzeugungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung;

10

Figur 7A zeigt eine schematische Ansicht einer ersten Ausführungsform einer Zuordnungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung;

Figur 7B zeigt eine Detailansicht eines Teils der Zuordnungseinrichtung von Fig. 7A;

Figur 8 zeigt eine schematische Darstellung einer zweiten Ausführungsform einer Signalerzeugungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung;

Figur 9 zeigt eine Detailansicht eines Teils einer Zuordnungseinrichtung gemäß einer zweiten Ausführungsform der Erfindung;

Figur 10 zeigt eine schematische Darstellung einer dritten Ausführungsform einer Signalerzeugungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung;

Figur 11 zeigt einen Spannungsteiler gemäß der dritten Ausführungsform der Erfindung; und

Figur 12 zeigt eine Detailansicht eines Teils einer Zuordnungseinrichtung gemäß einer dritten Ausführungsform der Erfindung.

Gemäß der Erfindung wird eine Halbleiterspeichervorrichtung bereitgestellt, bei welcher die Belegung der Anschlußkontakte bzw. das sog "pin-out" beim Betrieb zumindest teilweise veränderbar ist. Dies wird intern in der Halbleiterspeichervorrichtung durchgeführt, wenn ein entsprechendes Signal von Außen empfangen wird.

Nachfolgend werden bevorzugte Ausführungsformen der erfindungsgemäßen Halbleitervorrichtung 10 und deren Elemente Bezug auf die Figuren im Detail beschrieben.

Figur 1 zeigt eine schematische Seitenansicht einer erfindungsgemäßen Halbleitervorrichtung 10. Die erfindungsgemäße Halbleitervorrichtung 10 umfaßt eine Leiterplatteneinrichtung 12 und zumindest zwei Halbleiterspeichervorrichtungen 14. Je eine Halbleiterspeichervorrichtung 14 ist an einer Seite der Leiterplatteneinrichtung 12 angeordnet und mit dieser signalverbunden. Die Halbleiterspeichervorrichtungen 14 sind in einer sogenannten "clamp-shell-Anordnung" an der Leiterplatteneinrichtung 12 angeordnet. Hierbei liegen sich die Halbleiterspeichervorrichtungen 14 an der ersten und zweiten Seite der Leiterplatteneinrichtung 12 im wesentlichen symmetrisch gegenüber.

Bezugnehmend auf Figuren 2A und 2B wird die Leiterplatteneinrichtung 12 näher beschrieben.

Figuren 2A und 2B zeigen schematische Ansichten der Flächen-seiten einer Leiterplatteneinrichtung gemäß der vorliegenden Erfindung. Hierbei ist jeweils nur ein Ausschnitt der ersten und zweiten Seite der Leiterplatteneinrichtung 12 zu sehen. Der sichtbare Ausschnitt ist jeweils ein Abschnitt der Leiterplatteneinrichtung 12, an welchem eine Halbleiterspeichervorrichtung 14 angeordnet werden soll. Das schwarze Dreieck markiert jeweils die selbe imaginäre Kante des jeweiligen Abschnitts der Leiterplatteneinrichtung 12.

Die mit den Buchstaben A bis H, M1 bis M4 und X markierten Stellen repräsentieren Anschlüsse bzw. Pins der Leiterplat-
teneinrichtung 12, an welche eine später beschriebene Halb-
5 leiterspeichervorrichtung 14 angeschlossen werden kann. Hier-
bei bezeichnen die Buchstaben die Belegung der Anschlüsse,
d.h. welche Signale über den Anschluß übertragen werden sol-
len. Hierbei sind die Anschlüsse A bis H z.B. Adressierungs-,
Kommando- oder Clock-Anschlüsse. Anschlüsse X sind z.B. Da-
10 tenanschlüsse. M1 bis M4 sind Zuordnungsversorgungsanschlüs-
se, mittels welcher ein später beschriebenes externes Zuord-
nungssignal an die Halbleiterspeichervorrichtung 14 übertra-
gen wird. Erfindungsgemäß muß zumindest ein Zuordnungsversor-
gungsanschluß M1-M4 je zwei gegenüberliegenden Halbleiter-
15 speichervorrichtungen 14 vorgesehen sein.

Bei der clamp-shell-Anordnung werden über manche Leitungen
der Leiterplatteneinrichtung 12 Signale für zwei an jeweils
entgegengesetzten Seiten der Leiterplatteneinrichtung 12 an-
20 geordnete Halbleiterspeichervorrichtungen 14 übertragen. Dies
sind bevorzugt Adressierungs-, Kommando- oder Clock-Signale,
welche über die Anschlüsse A-H an eine angeschlossene Halb-
leiterspeichervorrichtung 14 übertragen werden. Um einen si-
cheren Betrieb zu ermöglichen, sollen die Signalwege dieser
25 Signale möglichst gleich sein. Somit ist es vorteilhaft, wenn
die Anschlüsse A-H an den zwei Seiten der Leiterplattenein-
richtung 12 zueinander spiegelsymmetrisch bezüglich der Lei-
terplatteneinrichtung 12 angeordnet sind. Eine schematische
Anordnung bzw. Belegung der Anschlüsse der beiden Seiten der
30 Leiterplatteneinrichtung 12 zu Beispielzwecken ist in Figuren
2A und 2B zu sehen.

Eine Halbleiterspeichervorrichtung 14 gemäß einer bevorzugten
Ausführungsform der vorliegenden Erfindung ist in Figur 3 ge-
35 zeigt.

Die erfindungsgemäße Halbleiterspeichervorrichtung 14 umfaßt eine Anschlußvorrichtung 16 und einen integrierten Halbleiterspeicher bzw. Siliziumchip 18, an welchem integrierte Schaltkreise ausgebildet sind.

5

Die Anschlußvorrichtung 16 umfaßt eine Vielzahl von Kontakten 20 mittels welcher die Halbleiterspeichervorrichtung 14 an eine Leiterplatteneinrichtung 12 befestigt werden kann und über welche Signale übertragen werden können. Die Kontakte 20 sind matrixartig bzw. rasterförmig, vorzugsweise in Form eines sog. "ball grid array" (BGA), an einer Flächenseite der Halbleiterspeichervorrichtung 14 ausgebildet. Hierbei sind die Kontakte 20 bevorzugt Lötunkte bzw. BGA-Balls.

15 Figur 4 zeigt eine schematische Ansicht eines integrierten Halbleiterspeichers 18 einer erfindungsgemäßen Halbleiterspeichervorrichtung 14.

Der integrierte Halbleiter 18 weist eine Vielzahl von internen Anschlüssen 22 und externen bzw. äußeren Anschlüssen 24 auf. Die internen Anschlüsse 22 werden hierbei in zwei Gruppen aufgeteilt, eine erste Gruppe I und eine zweite Gruppe II. Die internen Anschlüsse 22 der Gruppe I sind fest mit einem jeweiligen äußeren Anschluß 24 signalverbunden. Hierbei kann zwischen dem internen Anschluß 22 der Gruppe I und dem jeweiligen äußeren Anschluß 24 ferner eine nicht dargestellte Verstärkungsreinrichtung vorgesehen sein. Hierdurch kann das Signal beispielsweise aufbereitet werden.

30 Zwischen den internen Anschlüssen 22 der zweiten Gruppe II und den jeweiligen äußeren Anschlüssen 24 ist gemäß der vorliegenden Erfindung eine Zuordnungseinrichtung 26 vorgesehen. Die Zuordnungseinrichtung 26 ermöglicht eine veränderbare Zuordnung der internen Anschlüsse 22 der Gruppe II zu den jeweiligen äußeren Anschlüssen 24. Die Funktionsweise der Zuordnungseinrichtung 26 wird später im Detail beschrieben.

Der integrierte Halbleiterspeicher 18 umfaßt ferner eine in Figuren 3 und 4 nicht gezeigte Signalerzeugungseinrichtung. Mittels dieser wird aus einem externen Zuordnungssignal ein
5 internes Zuordnungssignal erzeugt, welches ein logisches Signal mit zumindest zwei Zuständen ist. Das interne Zuordnungssignal wird der Zuordnungseinrichtung 26 zugeführt. Die Funktionsweise der Signalerzeugungseinrichtung wird später im Detail beschrieben.

10

Ein äußerer Anschluß 24 ist als ein Zuordnungsanschluß 30 ausgebildet, welcher ein übertragenes externes Zuordnungssignal empfangen und zu der Signalerzeugungseinrichtung weiterleiten kann. Es können jedoch auch mehrere äußere An-
15 schlüsse 24 als Zuordnungsanschluß 30 vorgesehen sein.

20

Die äußeren Anschlüsse 24 sind mittels sog. Bond-Drähten 28 mit der Anschlußvorrichtung 16 und über nicht gezeigte interne Leitungen der Anschlußvorrichtung 16 mit den Kontakten 20
signalverbunden (Figur 3).

25

Wenn eine Halbleiterspeichervorrichtung 14 an eine Leiterplatteneinrichtung 12 angebracht werden soll, müssen die Kontakte 20 der Anschlußvorrichtung 16 eine zu der Belegung der
Anschlüsse der Leiterplatteneinrichtung 12 passende Belegung aufweisen. Hierbei muß die Belegung einer an die in Figur 2A gezeigte Seite der Leiterplatteneinrichtung 12 anzuordnenden Halbleiterspeichervorrichtung 14 verschieden sein von der Belegung einer an die in Figur 2B gezeigte Seite der Leiter-
30 platteneinrichtung 12 anzuordnenden Halbleiterspeichervorrichtung 14 sein.

35

Die erfindungsgemäße Halbleiterspeichervorrichtung 14 ermöglicht es, die Belegung zumindest eines Teils der Kontakte 20 zu verändern. Dies wird ermöglicht durch die Zuordnungseinrichtung 26, welche eine Veränderung der Belegung der äußeren

Anschlüsse 24 ermöglicht, die wiederum mit den Kontakten 20 verbunden sind.

Figuren 5A-5D zeigen schematische Ansichten von verschiedenen Belegungen der Kontakte 20 einer erfindungsgemäßen Anschlußvorrichtung 16. Das schwarze Dreieck markiert hierbei jeweils die selbe Kante der Anschlußvorrichtung 16. Die Buchstaben bezeichnen jeweils die Belegung der Kontakte 20, d.h. welche Signale über den jeweiligen Kontakt 20 übertragen werden sollen.

Figuren 5B-5D zeigen bezüglich Figur 5A zumindest teilweise gespiegelte und diese entsprechende Anschlußvorrichtungen 16. Aus diesem Grund wird lediglich die in Figur 5A gezeigte Anschlußvorrichtung 16 im Detail beschrieben.

Die Kontakte 20 der Anschlußvorrichtung 16 umfassen eine erste Kontaktgruppe K1 deren Belegung nicht veränderbar ist und eine zweite Kontaktgruppe K2 deren Belegung veränderbar ist. Die Kontaktgruppe K2 umfaßt ferner einen Zuordnungskontakt 44, über welchen ein externes Zuordnungssignal M_{ext} von der Leiterplatteneinrichtung 12 empfangen werden kann. Der Zuordnungskontakt 44 steht in Signalverbindung mit dem Zuordnungsanschluß 30 der Halbleiterspeichervorrichtung 14.

Figur 5A zeigt eine Belegung, die zu der Belegung der Anschlüsse der Leiterplatteneinrichtung 12 von Figur 2A paßt, wenn die Halbleiterspeichervorrichtung 14 an der entsprechenden Seite der Leiterplatteneinrichtung 12 angeordnet wird und die mit den schwarzen Dreieck markierten Kanten übereinstimmen. Diese Belegung wird nachfolgend als Ausgangsbelegung bezeichnet.

Die in den Figuren 5B-5C gezeigten Belegungen können durch die erfindungsgemäße Halbleiterspeichervorrichtung 14 realisiert werden, wenn ein entsprechendes Zuordnungssignal M_{ext}

über den Zuordnungskontakt 44 empfangen wird.

Die in Figur 5C gezeigte Belegung paßt zu der in Figur 2B gezeigten Belegung der zweiten Seite der Leiterplatteneinrichtung 12, wenn die mit den schwarzen Dreieck markierten Kanten übereinstimmen. Die Belegung von Figur 2C ist hinsichtlich der Belegung der mit A-H bezeichneten Kontakte 20 zu der Belegung von Figur 2A spiegelsymmetrisch bezüglich der Achse A-A.

Die in Figur 5B gezeigte Belegung paßt zu der in Figur 2B gezeigten Belegung, wenn die mit den schwarzen Dreieck markierten Kanten sich gegenüberliegen. Die Belegung von Figur 2B ist hinsichtlich der Belegung der mit A-H bezeichneten Kontakte 20 zu der Belegung von Figur 2A spiegelsymmetrisch bezüglich der Achse B-B. Bezüglich der Belegung von Figur 5C ist diese um 180 Grad gedreht.

Im folgenden wird angenommen, daß wenn die Halbleiterspeichervorrichtung 14 kein externes Zuordnungssignal empfängt, die Ausgangsbelegung von Figur 5A vorhanden ist. Es ist jedoch ebenfalls denkbar, daß ein externes Zuordnungssignal zugeführt werden muß, um hier eine Belegung durchzuführen.

Wenn die Halbleiterspeichervorrichtung 14 ein bestimmtes externes Zuordnungssignal M_{ext} über den mit M bezeichneten Zuordnungskontakt 44 empfängt, kann die Belegung entsprechend verändert werden.

Gemäß einer ersten Ausführungsform der vorliegenden Erfindung können zwei verschiedene Belegungen der Kontakte 20 realisiert werden. Dies können z.B. zum einen die in Figur 5A gezeigte Belegung und die in Figur 5B oder Figur 5C gezeigte Belegung, d.h. ein entlang der Achse A-A oder B-B gespiegelte Belegung, sein. Hierzu werden zwei verschiedene externe Zuordnungssignale M_{ext} benötigt. Hierbei wird das Zuführen

keines Signals bzw. das Nicht-Kontaktieren des Zuordnungskontakts 44 als ein externes Zuordnungssignal betrachtet.

Figur 6 zeigt eine schematische Darstellung einer ersten Ausführungsform einer Signalerzeugungseinrichtung 32 einer erfindungsgemäßen Halbleiterspeichervorrichtung 14.

Die Signalerzeugungseinrichtung 32 umfaßt gemäß der ersten Ausführungsform der vorliegenden Erfindung einen Widerstand R und eine Vergleichseinrichtung 34. Die Vergleichseinrichtung 34 umfaßt einen ersten Eingang 36, einen zweiten Eingang 38 und einen Ausgang 40, an welchem ein internes Zuordnungssignal M_{int} ausgegeben wird. Die Vergleichseinrichtung 34 vergleicht im wesentlichen die an den Eingängen 36 und 38 anliegenden Spannungen. Ist die am ersten Eingang 36 anliegende Spannung größer als die am zweiten Eingang 38 anliegende Spannung, wird am Ausgang 40 das logische Signal "1" ausgegeben. Ist hingegen die am ersten Eingang 36 anliegende Spannung kleiner als die am zweiten Eingang 38 anliegende Spannung, wird am Ausgang 40 das logische Signal "0" ausgegeben.

Der erste Eingang 36 ist über den Widerstand mit einer Spannung VDD, welche vorzugsweise die Versorgungsspannung ist, beaufschlagt. Der weiteren ist der erste Eingang 36 mit dem Zuordnungsanschluß 30, über welchen das externe Zuordnungssignal M_{ext} übertragen wird, verbunden. Der zweite Eingang 38 ist mit einer Spannung $VDD/2$ beaufschlagt.

Wenn an den Zuordnungsanschluß 30 keine Spannung angelegt wird, "floatet" der Eingang 36 nach VDD. Es wird somit als M_{int} eine "1" ausgegeben. Wenn über den Zuordnungsanschluß 30 ein Spannung, bevorzugt Ground (GND), übertragen wird, wird als M_{int} eine "0" ausgegeben. Die M_{int} in Abhängigkeit von M_{ext} ist in der nachfolgenden Tabelle 1 dargestellt.

35

M_{ext}	M_{int}
-----------	-----------

-	1
GND	0

Tabelle 1

Figur 7A zeigt eine schematische Ansicht einer ersten Ausführungsform einer Zuordnungseinrichtung 26 einer erfindungsgemäßen Halbleiterspeichervorrichtung 14. Figur 7B zeigt eine Detailansicht eines Teils der Zuordnungseinrichtung 26 von Fig. 7A.

Die Zuordnungseinrichtung 26 gemäß der ersten Ausführungsform umfaßt eine Vielzahl der in Figur 7B dargestellten Gatter 42. Wie der Tabelle in Figur 7B zu entnehmen ist, wird, wenn M_int "1" ist, das an einem ersten Eingang anliegenden Signal "S" und, wenn M_int "0" ist, das an einem zweiten Eingang anliegenden Signal "S_R" ausgegeben. Das Signal "S" kann beispielsweise ein Signal der Belegung gemäß Figur 5A sein. Hingegen kann das Signal "S_R" ein Signal der Belegung gemäß Figur 5B oder 5C sein.

Wie aus Figur 7A ersichtlich, sind jeweils zwei interne Anschlüsse 22 über zwei Gatter 42 mit zwei äußeren Anschlüssen 24 verbunden. Somit können jeweils zwei Signalbelegungen miteinander vertauscht werden. Gemäß Figur 7A kann z.B. an dem äußeren Anschluß 24 der mit "out1" bezeichnet ist, das Signal A oder B ausgegeben werden. An dem mit "out2" bezeichneten äußeren Anschluß 24 wird dann das jeweils andere Signal, d.h. B oder A, ausgegeben.

Somit können die Belegungen gemäß Figuren 5A und 5B realisiert werden. Bei einer entsprechenden Veränderung der Belegung der internen Anschlüsse 22, könnten die Belegungen gemäß Figuren 5A und 5C realisiert werden.

Nachfolgend wird das Bestücken einer Halbleitervorrichtung 10 gemäß der ersten Ausführungsform beschrieben.

5 Beim Bestücken der Leiterplatteneinrichtung 12 mit den Halbleiterspeichervorrichtungen 14 wird zunächst die erste Halbleiterspeichervorrichtung 14 an der ersten Seite der Leiterplatteneinrichtung 12 befestigt bzw. kontaktiert. Die Halbleiterspeichervorrichtungen 14 ist hierbei bezüglich der Leiterplatteneinrichtung 12 richtig orientiert, d.h. die mit
10 dem schwarzen Dreieck markierten Kanten liegen im wesentlichen aufeinander. Hierbei wird der Zuordnungskontakt 44 der ersten Halbleiterspeichervorrichtung 14 nicht mit der Leiterplatteneinrichtung 12 kontaktiert. Somit weist die erste Halbleiterspeichervorrichtung 14 die Ausgangsbelegung auf.

15

Die zweite Halbleiterspeichervorrichtung 14 wird ebenfalls mit der richtigen Orientierung an der zweiten Seite der Leiterplatteneinrichtung 12 befestigt bzw. kontaktiert. Hierbei kann je nach Ausgestaltung der Leiterplatteneinrichtung 12,
20 d.h. abhängig davon, ob der Zuordnungsversorgungsanschluß bei M3 oder M4 angeordnet ist, eine Halbleiterspeichervorrichtung 14 verwendet werden, bei welcher die Belegung entweder an der Achse A-A oder B-B von Figur 5A gespiegelt wird.

25 Dies bedeutet, wenn der Zuordnungsversorgungsanschluß M3 vorhanden ist, wird vorzugsweise eine Halbleiterspeichervorrichtung 14 verwendet, bei welcher die Belegung an der Achse A-A gespiegelt werden kann und eine Belegung gemäß Figur 5C realisieren kann. Hierbei wird die Halbleiterspeichervorrichtung
30 14 derart orientiert, daß die mit den schwarzen Dreiecken markierten Kanten im wesentlichen aufeinanderliegen. Wenn hingegen der Zuordnungsversorgungsanschluß M4 vorhanden ist, wird vorzugsweise eine Halbleiterspeichervorrichtung 14 verwendet, bei welcher die Belegung an der Achse B-B gespiegelt
35 werden kann und eine Belegung gemäß Figur 5B realisieren kann. Hierbei wird die Halbleiterspeichervorrichtung 14 der-

art orientiert, daß die mit den schwarzen Dreiecken markierten Kanten sich im wesentlichen gegenüberliegen.

Der Zuordnungskontakt 44 der zweiten Halbleiterspeichervorrichtung 14 wird mit dem Zuordnungsversorgungsanschluß der Leiterplatteneinrichtung 12 kontaktiert. Beim Betrieb der Halbleitervorrichtung 10 liegt dann an dem Zuordnungskontakt 44 der zweiten Halbleiterspeichervorrichtung 14 eine von VDD verschiedene Spannung, vorzugsweise Ground (GND) an. Somit weist die Halbleiterspeichervorrichtung 14 eine zu der Ausgangsbelegung veränderte Belegung auf.

Somit kann das Bestücken der Halbleitervorrichtung 10 bedeutend vereinfacht werden. Es muß nur ein Typ einer Halbleitervorrichtung 10 vorgesehen werden.

Gemäß einer zweiten Ausführungsform der vorliegenden Erfindung können drei verschiedene Belegungen der Kontakte 20 realisiert werden. Dies sind z.B. die in den Figuren 5A-5C gezeigten Belegungen.

Figur 8 zeigt eine schematische Darstellung einer Signalerzeugungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung gemäß der zweiten Ausführungsform.

Die Signalerzeugungseinrichtung 52 gemäß der zweiten Ausführungsform der vorliegenden Erfindung umfaßt sechs Widerstände R, eine erste Vergleicheinrichtung 54 und eine zweite Vergleicheinrichtung 62. Die Vergleicheinrichtungen 54 und 62 haben die selbe Funktionsweise wie die Vergleicheinrichtung 34 gemäß der ersten Ausführungsform. Die Vergleicheinrichtungen 54 bzw. 62 weisen jeweils einen ersten Eingang 56 bzw. 64, einen zweiten Eingang 58 bzw. 66 und einen Ausgang 60 bzw. 68 zum Ausgeben eines Signals M1_int bzw. M2_int, auf. Das interne Zuordnungssignal wird in dieser Ausführungsform durch die beiden Signale M1_int und M2_int gebildet.

Am ersten Eingang 56 der ersten Vergleichseinrichtung 54 liegt $3/4$ VDD an. Am zweiten Eingang 58 der ersten Vergleichseinrichtung 54 liegt VDD/2 an. Ferner ist dieser Eingang mit dem Zuordnungsanschluß 30 verbunden. Am Ausgang 60 der ersten Vergleichseinrichtung 54 wird ein erstes internes Zuordnungssignal M1_int ausgegeben.

Am ersten Eingang 64 der zweiten Vergleichseinrichtung 62 liegt ebenfalls VDD/2 an und dieser Eingang ist ebenfalls mit dem Zuordnungsanschluß 30 verbunden. Am zweiten Eingang 66 liegt VDD/4 an. Am Ausgang 68 der zweiten Vergleichseinrichtung 62 wird ein zweites internes Zuordnungssignal M2_int ausgegeben.

Wird an dem Zuordnungsanschluß 30 keine Spannung angelegt, liegt an den Eingängen 58 und 64 VDD/2 an und es wird als M1_int eine "0" und M2_int eine "1" ausgegeben. Wenn M_ext gleich 0 ist, wird als M1_int eine "0" und M2_int eine "0" ausgegeben. Wenn M_ext gleich VDD ist, wird als M1_int eine "1" und M2_int eine "1" ausgegeben. Der Zusammenhang zwischen M_ext und M1_int und M2_int ist in der nachfolgenden Tabelle 2 dargestellt.

M_ext	M1_int	M2_int
-	0	1
0	0	0
VDD	1	1

Tabelle 2

Die nicht dargestellte Zuordnungseinrichtung 26 gemäß der zweiten Ausführungsform umfaßt eine Vielzahl der in Figur 9 dargestellten Gatter 70. Das Gatter 70 umfaßt drei Eingänge und einen Ausgang. Je nach dem, was für Werte M1_int und

M2_int annehmen wird eines der drei Eingangssignale gemäß der Tabelle von Figur 9 ausgegeben. Bei der Zuordnungseinrichtung 26 gemäß der zweiten Ausführungsform sind jeweils drei interne Anschlüsse 22 über drei Gatter 70 mit drei externen Anschlüssen 24 verbunden.

Wie der Tabelle in Figur 9 zu entnehmen ist, wird, wenn M1_int "0" und M2_int "1" ist, das an einem ersten Eingang anliegenden Signal "S", wenn M1_int und M2_int "1" sind, das an einem zweiten Eingang anliegenden Signal "S_R" und wenn M1_int und M2_int "0" sind, das an einem dritten Eingang anliegenden Signal "S_Rr" ausgegeben. Das Signal "S" kann beispielsweise ein Signal der Belegung gemäß Figur 5A sein. Hingegen kann das Signal "S_R" ein Signal der Belegung gemäß Figur 5B und das Signal "S_Rr" ein Signal der Belegung gemäß Figur 5C oder umgekehrt sein.

Nachfolgend wird das Bestücken einer Halbleitervorrichtung gemäß der zweiten Ausführungsform beschrieben.

20

Die erste Halbleiterspeichervorrichtung 14 wird wie in der ersten Ausführungsform richtig orientiert an der ersten Seite der Leiterplatteneinrichtung 12 angeordnet. Hierbei wird vorzugsweise der Zuordnungskontakt 44 der ersten Halbleiterspeichervorrichtung 14 nicht mit der Leiterplatteneinrichtung 12 kontaktiert und die erste Halbleiterspeichervorrichtung 14 weist somit die Ausgangsbelegung auf.

An der Leiterplatteneinrichtung 12 gemäß der zweiten Ausführungsform sind zumindest zwei Zuordnungsversorgungsanschlüsse M3 und M4 an der zweiten Seite der Leiterplatteneinrichtung 12 vorgesehen, über welche jeweils verschiedene externe Zuordnungssignale übertragen werden können. Die zwei Zuordnungsversorgungsanschlüsse M3 und M4 sind hierbei vorzugsweise punktsymmetrisch zur Mitte der Belegung der Anschlüsse der Leiterplatteneinrichtung 12 angeordnet. Die zweite Halblei-

terspeichervorrichtung 14 kann in einer beliebigen Orientierung angeordnet werden. Je nach dem, mit welchem Zuordnungsversorgungsanschluß die zweite Halbleiterspeichervorrichtung 14 kontaktiert wird, wird die passende Belegung der Kontakte 5 20 der zweiten Halbleiterspeichervorrichtung 14 realisiert.

Figur 10 zeigt eine schematische Darstellung einer Signalerzeugungseinrichtung einer erfindungsgemäßen Halbleiterspeichervorrichtung gemäß der dritten Ausführungsform.

10

Die Signalerzeugungseinrichtung 72 gemäß der dritten Ausführungsform der vorliegenden Erfindung umfaßt fünf Widerstände R, eine erste Vergleicheinrichtung 74, eine zweite Vergleicheinrichtung 82 und eine dritte Vergleicheinrichtung 90.

15

Die Vergleicheinrichtungen 74, 82 und 90 haben die selbe Funktionsweise wie die Vergleicheinrichtung 34 gemäß der ersten Ausführungsform. Die Vergleicheinrichtungen 74, 82 bzw. 90 weisen jeweils einen ersten Eingang 76, 84 bzw. 92, einen zweiten Eingang 78, 86 bzw. 94 und einen Ausgang 80, 88 bzw.

20

96 zum Ausgeben eines Signals M1_int, M2_int bzw. M3_int, auf. Das interne Zuordnungssignal wird in dieser Ausführungsform durch die drei Signale M1_int, M2_int und M3_int gebildet.

25

Am ersten Eingang 76 der ersten Vergleichseinrichtung 74 liegt VDD an. Ferner ist dieser Eingang mit dem Zuordnungsanschluß 30 verbunden. Am zweiten Eingang 78 der ersten Vergleichseinrichtung 74 liegt $1/4$ VDD an. Am Ausgang 80 der ersten Vergleichseinrichtung 74 wird ein erstes internes Zuordnungssignal M1_int ausgegeben. 30

Am ersten Eingang 84 der zweiten Vergleichseinrichtung 82 liegt ebenfalls VDD an und dieser Eingang ist ebenfalls mit dem Zuordnungsanschluß 30 verbunden. Am zweiten Eingang 86 35 liegt VDD/2 an. Am Ausgang 88 der zweiten Vergleichseinrichtung 82 wird ein zweites internes Zuordnungssignal M2_int

ausgegeben.

Am ersten Eingang 92 der dritten Vergleichseinrichtung 90 liegt ebenfalls VDD an und dieser Eingang ist ebenfalls mit dem Zuordnungsanschluß 30 verbunden. Am zweiten Eingang 94 liegt $3/4$ VDD an. Am Ausgang 96 der dritten Vergleichseinrichtung 90 wird ein dritte internes Zuordnungssignal M3_int ausgegeben.

Wird an dem Zuordnungsanschluß 30 keine Spannung angelegt, liegt an den Eingängen 76, 84 und 92 VDD an und es wird als M1_int, M2_int und M3_int jeweils eine "0" ausgegeben. Wenn M_ext gleich $5/8$ VDD ist, wird als M1_int und M2_int eine "0" und M3_int eine "1" ausgegeben. Wenn M_ext gleich $3/8$ VDD ist, wird als M1_int eine "0" und M2_int und M3_int eine "1" ausgegeben. Ist M_ext gleich dem Ground-Signal (GND), wird als M1_int, M2_int und M3_int jeweils eine "1" ausgegeben. Der Zusammenhang zwischen M_ext und M1_int, M2_int und M3_int ist in der nachfolgenden Tabelle 3 dargestellt.

20

M_ext	M1_int	M2_int	M3_int
-	0	0	0
$5/8$ VDD	0	0	1
$3/8$ VDD	0	1	1
GND	1	1	1

Tabelle 3

Die nicht dargestellte Zuordnungseinrichtung 26 gemäß der dritten Ausführungsform umfaßt eine Vielzahl der in Figur 12 dargestellten Gatter 98. Das Gatter 98 umfaßt vier Eingänge und einen Ausgang. Je nach dem, was für Werte M1_int, M2_int und M3_int annehmen, wird eines der drei Eingangssignale gemäß der Tabelle von Figur 12 ausgegeben. Bei der Zuordnungseinrichtung 26 gemäß der dritten Ausführungsform sind jeweils

vier interne Anschlüsse 22 über drei Gatter 98 mit vier externen Anschlüssen 24 verbunden.

Wie der Tabelle in Figur 12 zu entnehmen ist, wird, wenn
5 M1_int, M2_int und M3_int "0" sind, das an einem ersten Eingang anliegenden Signal "S", wenn M1_int und M2_int "0" sind und M3_int "1" ist, das an einem zweiten Eingang anliegenden Signal "S_R", wenn M1_int "0" ist und M2_int und M3_int "1" sind, das an einem dritten Eingang anliegenden Signal "S_Rr"
10 und wenn M1_int, M2_int und M3_int "1" sind, das an einem vierten Eingang anliegenden Signal "S_Q" ausgegeben.

Das Signal "S" kann beispielsweise ein Signal der Belegung gemäß Figur 5A und das Signal "S_Q" ein Signal der Belegung
15 gemäß Figur 5D oder umgekehrt sein. Hingegen kann das Signal "S_R" ein Signal der Belegung gemäß Figur 5B und das Signal "S_Rr" ein Signal der Belegung gemäß Figur 5C oder umgekehrt sein.

20 Nachfolgend wird das Bestücken einer Halbleitervorrichtung 10 gemäß der dritten Ausführungsform beschrieben.

An der Leiterplatteneinrichtung 12 gemäß der dritten Ausführungsform sind an der ersten Seite der Leiterplatteneinrichtung 12
25 zumindest zwei Zuordnungsversorgungsanschlüsse M1 und M2 und an der zweiten Seite der Leiterplatteneinrichtung 12 zumindest zwei Zuordnungsversorgungsanschlüsse M3 und M4 vorgesehen, über welche jeweils verschiedene externe Zuordnungssignale übertragen werden können. Die zwei Zuordnungsversorgungsanschlüsse M1 und M2 sind hierbei vorzugsweise punktsymmetrisch zur Mitte der Belegung der Anschlüsse der Leiterplatteneinrichtung 12 angeordnet. Ferner sind die Zuordnungsversorgungsanschlüsse M3 und M4 ebenfalls vorzugsweise punktsymmetrisch zur Mitte der Belegung der Anschlüsse der Leiterplatteneinrichtung 12
30 angeordnet.
35

Die erste Halbleiterspeichervorrichtung 14 wird beliebig orientiert an der Leiterplatteneinrichtung 12 angeordnet. Der Zuordnungskontakt 30 der ersten Halbleiterspeichervorrichtung 14 mit einem der beiden Zuordnungsversorgungsanschlüsse M1 oder M2 kontaktiert. Je nach dem, mit welchem Zuordnungsversorgungsanschluß M1 oder M2 die erste Halbleiterspeichervorrichtung 14 kontaktiert wird, wird die passende Belegung der Kontakte 20 der zweiten Halbleiterspeichervorrichtung 14 realisiert, d.h. entweder eine Belegung gemäß Figur 5A oder 5D.

10

Die zweite Halbleiterspeichervorrichtung 14 wird wie in der zweiten Ausführungsform vorgesehen angeordnet.

In den vorstehend beschriebenen Ausführungsformen wurde zu Beispielszwecken eine stark vereinfachte Halbleitervorrichtung beschrieben. In der Regel wird eine Halbleiterspeichervorrichtung 14 eine größere Anzahl von Kontakten 20 aufweisen. Ferner können an einer Leiterplatteneinrichtung 12 mehrere Paare von Halbleiterspeichervorrichtungen 14 erfindungsgemäß angeordnet werden.

15

Bezugszeichenliste

5

	10	Halbleitervorrichtung
	12	Leiterplatteneinrichtung
	14	Halbleiterspeichervorrichtung
10	16	Anschlußvorrichtung
	18	integrierter Halbleiterspeicher
	20	Kontakte
	22	interne Anschlüsse
	24	äußere Anschlüsse
15	26	Zuordnungseinrichtung
	28	Bond-Draht
	30	Zuordnungsanschluß
	32	Signalerzeugungseinrichtung
	34	Vergleichseinrichtung
20	36	erster Eingang
	38	zweiter Eingang
	40	Ausgang
	42	Gatter
	44	Zuordnungskontakt
25	52	Signalerzeugungseinrichtung
	54	erste Vergleichseinrichtung
	56	erster Eingang
	58	zweiter Eingang
	60	Ausgang
30	62	zweite Vergleichseinrichtung
	64	erster Eingang
	66	zweiter Eingang
	68	Ausgang
	70	Gatter
35	72	Signalerzeugungseinrichtung
	74	erste Vergleichseinrichtung

	76	erster Eingang
	78	zweiter Eingang
	80	Ausgang
	82	zweite Vergleichseinrichtung
5	84	erster Eingang
	86	zweiter Eingang
	88	Ausgang
	90	dritte Vergleichseinrichtung
	92	erster Eingang
10	94	zweiter Eingang
	96	Ausgang
	98	Gatter
	A-H, X	Anschlüsse
	M1-M4	Zuordnungsversorgungsanschlüsse
15	R	Widerstand
	M_ext	externes Zuordnungssignal
	M_int	internes Zuordnungssignal
	M1_int	erstes internes Zuordnungssignal
	M2_int	zweites internes Zuordnungssignal
20	M3_int	drittes internes Zuordnungssignal
	I	erste Gruppe von internen Anschlüssen
	II	zweite Gruppe von internen Anschlüssen
	K1	erste Kontaktgruppe
	K2	zweite Kontaktgruppe

Ansprüche

1. Halbleiterspeichervorrichtung (14), umfassend einen integrierten Halbleiterspeicher (18) und eine Anschlußvorrichtung (16), wobei

die Anschlußvorrichtung (16) umfaßt:

- 5 - ein Vielzahl von matrixartig angeordneten Kontakten (20), mittels welchen die Halbleiterspeichervorrichtung (14) mit einer Leiterplatteneinrichtung (12) signalverbindbar ist, wobei die Vielzahl von Kontakten (20) eine erste Kontaktgruppe (K1), deren Belegung nicht veränderbar ist, eine zweite
- 10 Kontaktgruppe (K2), deren Belegung veränderbar ist, und einen Zuordnungskontakt zum Empfangen eines externen Zuordnungssignals, umfaßt; und

der integrierte Halbleiterspeicher (18) umfaßt:

- eine Vielzahl von internen Anschlüssen (22), wobei die
- 15 Vielzahl von internen Anschlüssen (22) eine erste Gruppe (I) von internen Anschlüssen (22), deren Anschlüsse Kontakten (20) der ersten Kontaktgruppe (K1) der Anschlußvorrichtung (16) zugeordnet und mit diesen signalverbunden sind, und eine
- 20 zweite Gruppe (II) von internen Anschlüssen (22), deren Anschlüsse mit verschiedenen Kontakten (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) signalverbindbar sind, umfaßt,

- einen Zuordnungsanschluß (30), welcher mit dem Zuordnungskontakt (44) der Anschlußvorrichtung (16) in Signalver-
- 25 bindung steht;

- eine Signalerzeugungseinrichtung (32; 52), welche mit dem Zuordnungsanschluß (30) in Signalverbindung steht, und ausgelegt ist zum Erzeugen eines internen Zuordnungssignals (M_int; M1_int, M2_int), welches zumindest zwei verschiedene
- 30 Zustände annehmen kann, abhängig von dem über den Zuordnungskontakt (44) empfangenen externen Zuordnungssignal,

- eine Zuordnungseinrichtung (30), welche zwischen der zweiten Gruppe (II) der internen Anschlüsse (22) und der

zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) angeordnet ist und mit diesen und der Signalerzeugungseinrichtung (32; 52) in Signalverbindung steht, wobei die Zuordnungseinrichtung (30) ausgelegt ist zum Durchführen einer Zuordnung
5 zwischen den internen Anschlüssen (22) der zweiten Gruppe (II) und den Kontakten (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) durch Herstellen elektrischer Signalverbindungen zwischen diesen in Abhängigkeit des von der Signalerzeugungseinrichtung (32; 52) erzeugten internen
10 Zuordnungssignals (M_int; M1_int, M2_int).

2. Halbleiterspeichervorrichtung (14) gemäß Anspruch 1, wobei

- 15 - der integrierte Halbleiterspeicher (18) ferner eine Vielzahl von äußeren Anschlüssen (24) umfaßt, welche mit den Kontakten (20) der Anschlußvorrichtung (16) unveränderbar signalverbunden sind,
- die internen Anschlüsse (22) der ersten Gruppe von internen Anschlüssen mit den jeweiligen äußeren Anschlüssen
20 (24) signalverbunden sind, und
- die internen Anschlüsse (22) der zweiten Gruppe von internen Anschlüssen über die Zuordnungseinrichtung (30) mit den jeweiligen äußeren Anschlüssen (24) signalverbindbar sind.

25 3. Halbleiterspeichervorrichtung (14) gemäß Anspruch 2, wobei die Vielzahl von äußeren Anschlüssen (24) in zumindest einer Reihe, vorzugsweise im wesentlichen mittig, auf dem integrierten Halbleiterspeicher (18) angeordnet ist.

30 4. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die zweite Gruppe (II) von internen Anschlüssen (22) Anschlüsse umfaßt, auf die schnell zugegriffen werden soll, vorzugsweise Adressierungsanschlüsse
35 und/oder Kommandoanschlüsse.

5. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die Signalerzeugungseinrichtung (32; 52) ausgelegt ist, ein internes Zuordnungssignal (M_int) mit zwei verschiedenen Zuständen zu erzeugen, wobei

- 5 - wenn das interne Zuordnungssignal (M_int) den ersten Zustand annimmt, die Belegung der Kontakte (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) eine vorbestimmbare erste Belegung annimmt, und
- 10 - wenn das interne Zuordnungssignal (M_int) den zweiten Zustand annimmt, die Belegung der Kontakte (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) im wesentlichen der entlang der Längsmittelachse oder Quermittelachse der Halbleiterspeichervorrichtung (14) gespiegelten ersten Belegung entspricht.

15

6. Halbleiterspeichervorrichtung (14) gemäß Anspruch 5, wobei die Signalerzeugungseinrichtung (32; 52) ausgelegt ist, ein internes Zuordnungssignal (M1_int, M2_int) mit drei verschiedenen Zuständen zu erzeugen und wenn das interne Zuordnungssignal (M1_int, M2_int) den dritten Zustand annimmt, die Belegung der Kontakte (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) im wesentlichen der entlang der anderen Mittelachse der Halbleiterspeichervorrichtung (14) als im zweiten Zustand gespiegelten ersten Belegung entspricht.

25

7. Halbleiterspeichervorrichtung (14) gemäß Anspruch 6, wobei die Signalerzeugungseinrichtung (32; 52) ausgelegt ist, ein internes Zuordnungssignal (M1_int, M2_int, M3_int) mit vier verschiedenen Zuständen zu erzeugen und wenn das interne Zuordnungssignal (M1_int, M2_int, M3_int) den vierten Zustand annimmt, die Belegung der Kontakte (20) der zweiten Kontaktgruppe (K2) der Anschlußvorrichtung (16) im wesentlichen der entlang der Längsmittelachse und Quermittelachse der Halbleiterspeichervorrichtung (14) gespiegelten ersten Belegung entspricht.
- 30
- 35

8. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die Kontakte (20) der Anschlußvorrichtung (16) als ein Ball Grid Array ausgebildet sind.

5 9. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die Zuordnungseinrichtung (30) Logikgatter (42; 70) umfaßt.

10 10. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die Kontakte (20) der zweiten Kontaktgruppe (K2) im wesentlichen symmetrisch zu Längsmittelsachse (A-A) und/oder Quermittelachse (B-B) der Halbleiterspeichervorrichtung (14) angeordnet sind.

15 11. Halbleiterspeichervorrichtung (14) gemäß einem der vorangehenden Ansprüche, wobei die zwischen den internen Anschlüssen (22) des integrierten Halbleiterspeichers (18) und den Kontakten (20) der Anschlußvorrichtung (16) zu übertragenden Signale durch die Übertragung im wesentlichen nicht
20 verändert werden.

12. Halbleitervorrichtung, umfassend zumindest zwei Halbleiterspeichervorrichtungen (14) gemäß einem der vorangehenden Ansprüche und eine Leiterplatteneinrichtung (12), wobei

25 - die zwei Halbleiterspeichervorrichtungen (14) auf entgegengesetzten Seiten der Leiterplatteneinrichtung (12) einander im wesentlichen gegenüberliegend angeordnet sind, und
- die Leiterplatteneinrichtung (12) zumindest einen Zuordnungsversorgungsanschluß (M1 - M4), welcher mit dem Zuordnungskontakt (44) einer Halbleiterspeichervorrichtung (14)
30 signalverbindbar ist, umfaßt.

13. Halbleitervorrichtung gemäß Anspruch 12, wobei beim Betrieb der Halbleitervorrichtung

35 - der Zuordnungskontakt (44) der ersten Halbleiterspeichervorrichtung (14) nicht mit der Leiterplatteneinrichtung

(12) in Signalverbindung steht und das interne Zuordnungssignal (M_int; M1_int, M2_int) der ersten Halbleiterspeichervorrichtung (14) den ersten Zustand annimmt, und

- der Zuordnungskontakt (44) der zweiten Halbleiterspeichervorrichtung (14) mit einem vorbestimmten Zuordnungsversorgungsanschluß (M1 - M4) der Leiterplatteneinrichtung (12) in Signalverbindung steht und das interne Zuordnungssignal (M_int; M1_int, M2_int) der zweiten Halbleiterspeichervorrichtung (14) den zweiten Zustand annimmt.

10

14. Halbleitervorrichtung gemäß Anspruch 13, wobei die Leiterplatteneinrichtung (12) zumindest zwei Zuordnungsversorgungsanschlüsse (M1 - M4), welche mit dem Zuordnungskontakt einer Halbleiterspeichervorrichtung (14) signalverbindbar

15 sind, umfaßt und abhängig davon, mit welchem Zuordnungsversorgungsanschluß (M1 - M4) der Leiterplatteneinrichtung (12) der Zuordnungskontakt (44) der zweiten Halbleiterspeichervorrichtung (14) in Signalverbindung steht, das interne Zuordnungssignal (M_int; M1_int, M2_int) der zweiten Halbleiterspeichervorrichtung (14) den zweiten oder dritten Zustand annimmt.

20

15. Halbleitervorrichtung gemäß Anspruch 12, wobei

- die Leiterplatteneinrichtung (12) zumindest vier Zuordnungsversorgungsanschlüsse (M1 - M4) umfaßt;

25

- der Zuordnungskontakt (44) der ersten und zweiten Halbleiterspeichervorrichtung (14) mit jeweils einem vorbestimmten Zuordnungsversorgungsanschluß (M1 - M4) der Leiterplatteneinrichtung (12) in Signalverbindung steht; und

30

- abhängig davon, mit welchem Zuordnungsversorgungsanschluß (M1 - M4) der Leiterplatteneinrichtung (12) der Zuordnungskontakt der zweiten Halbleiterspeichervorrichtung (14) in Signalverbindung steht, das interne Zuordnungssignal (M_int; M1_int, M2_int) der zweiten Halbleiterspeichervorrichtung

35

(14) den zweiten oder dritten Zustand annimmt und das interne Zuordnungssignal (M_int; M1_int, M2_int) der ersten Halblei-

terspeichervorrichtung (14) den ersten oder vierten Zustand annimmt.

Zusammenfassung

Die Erfindung betrifft eine Halbleiterspeichervorrichtung, bei welcher die Belegung der Anschlußkontakte veränderbar ist. Des weiteren betrifft die Erfindung eine Halbleitervorrichtung, welche zumindest zwei erfindungsgemäße Halbleiterspeichervorrichtungen umfaßt.

5

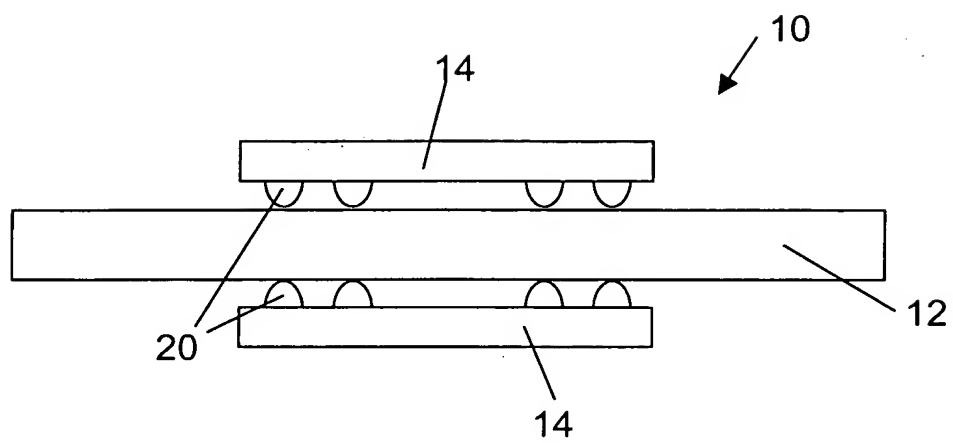


Fig. 1

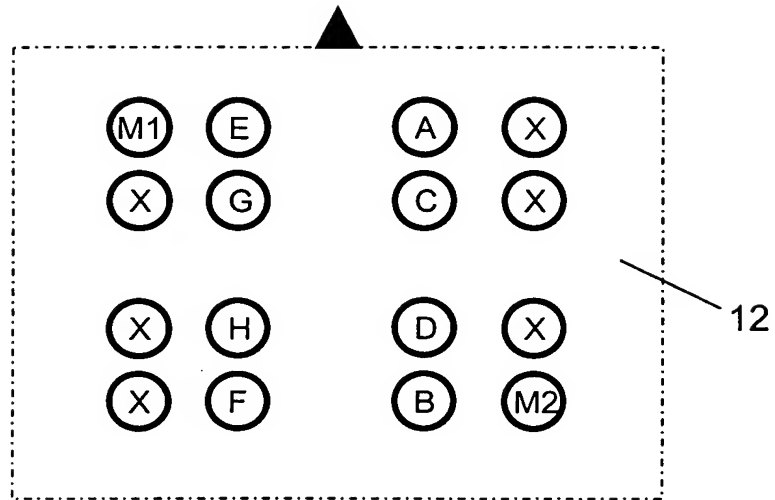


Fig. 2A

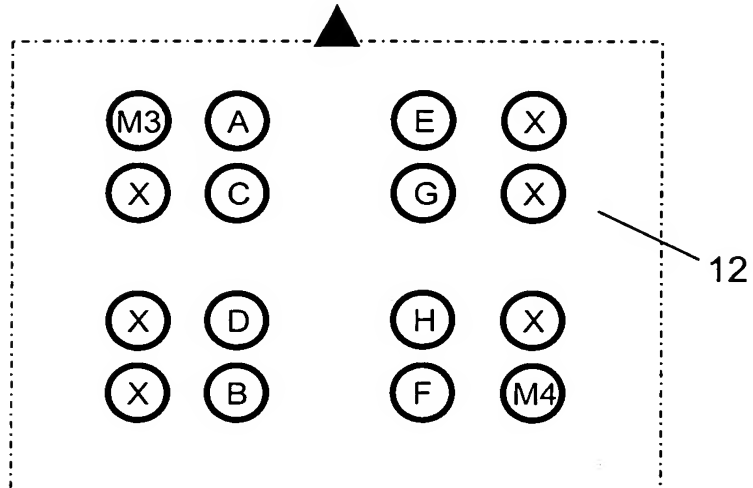


Fig. 2B

3/7

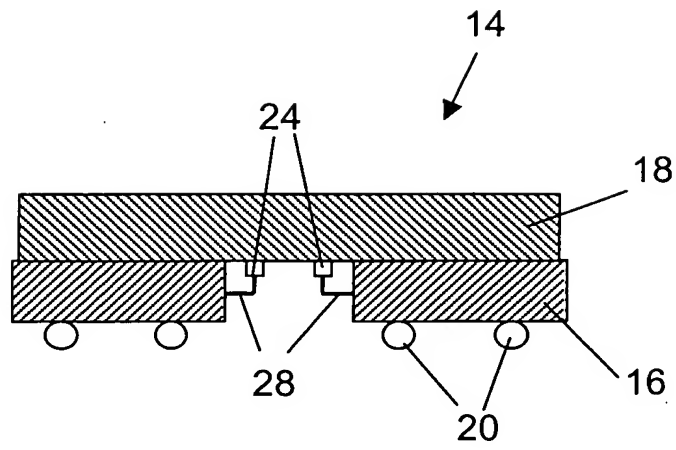


Fig. 3

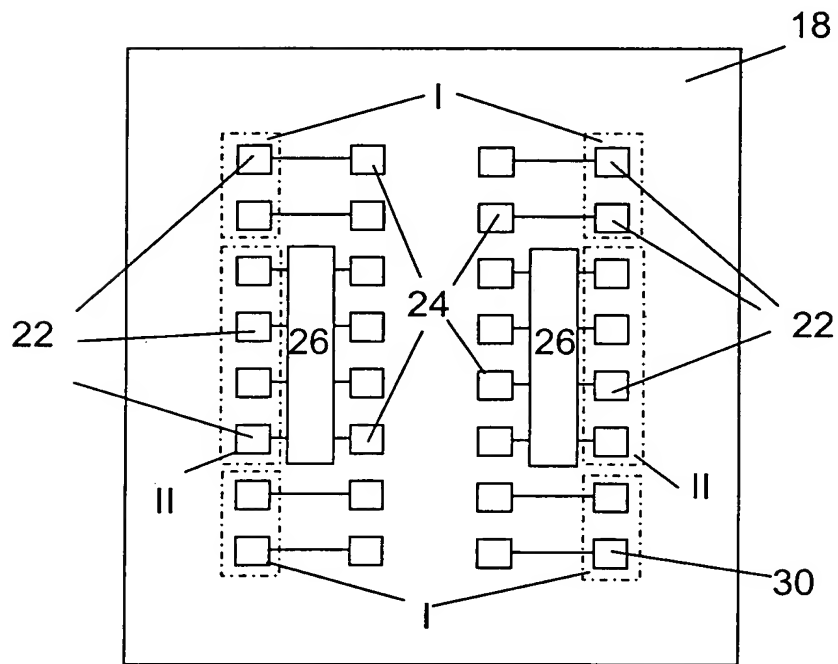


Fig. 4

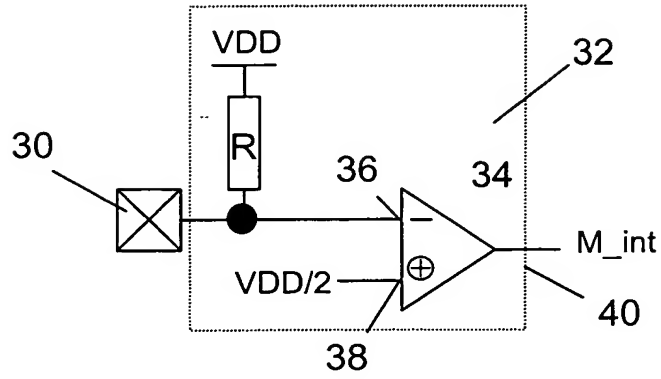


Fig. 6

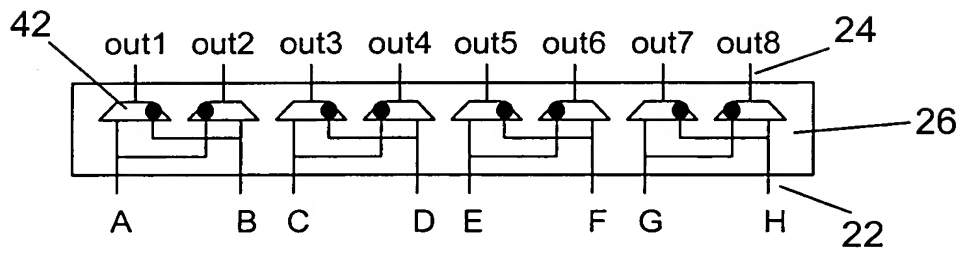
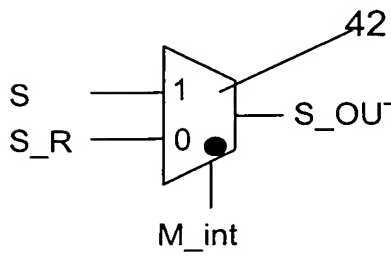


Fig. 7A



M	S_OUT
1	S
0	S_R

Fig. 7B

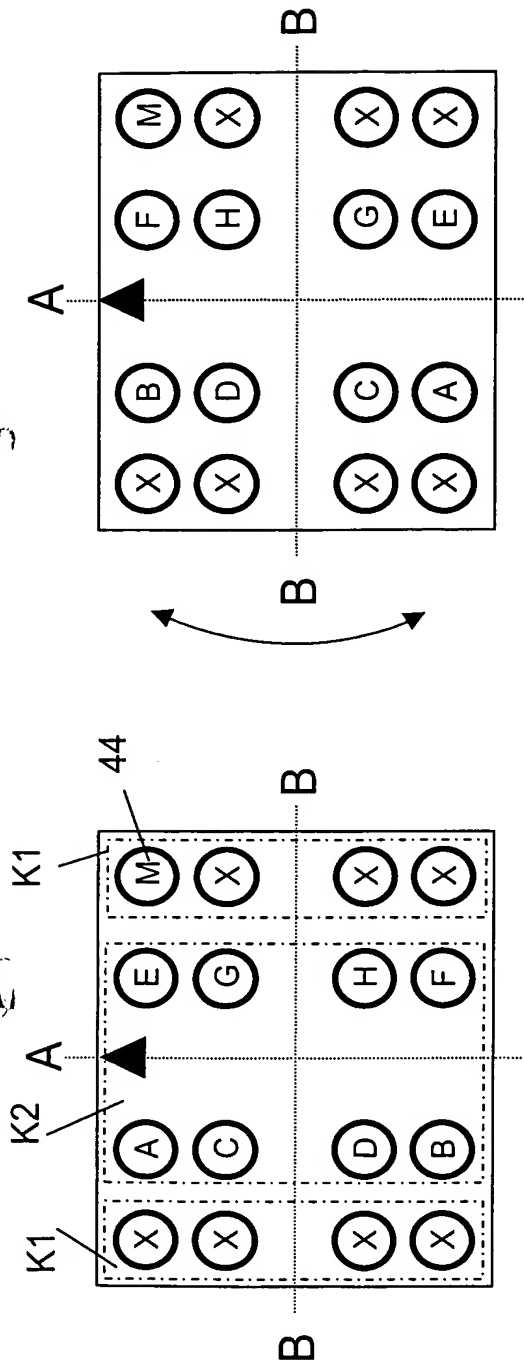


Fig. 5A

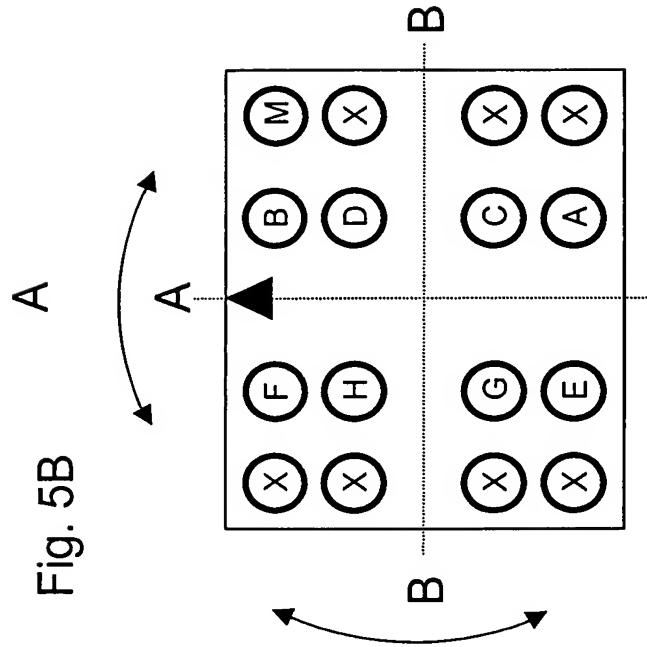


Fig. 5B

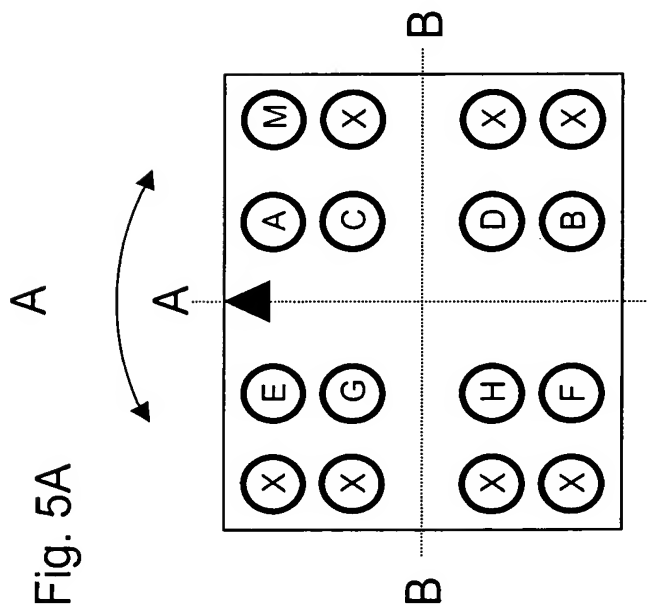


Fig. 5C

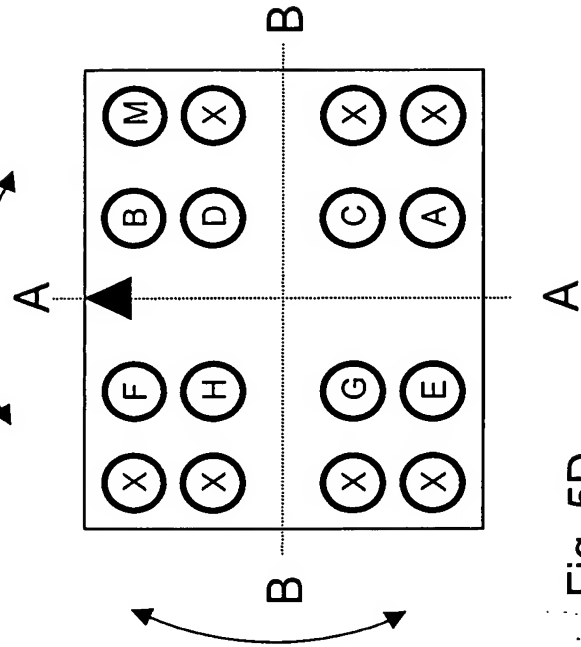


Fig. 5D

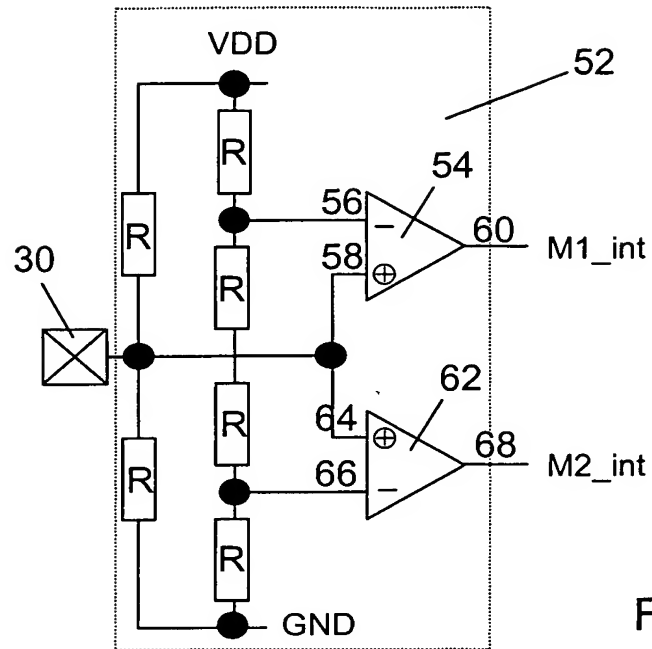
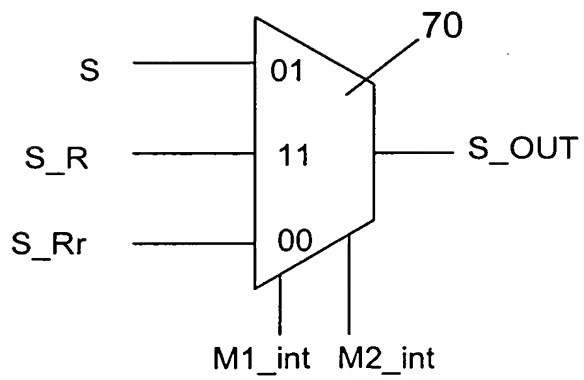


Fig. 8



M1_int	M2_int	S_OUT
0	1	S
1	1	S_R
0	0	S_Rr

Fig. 9

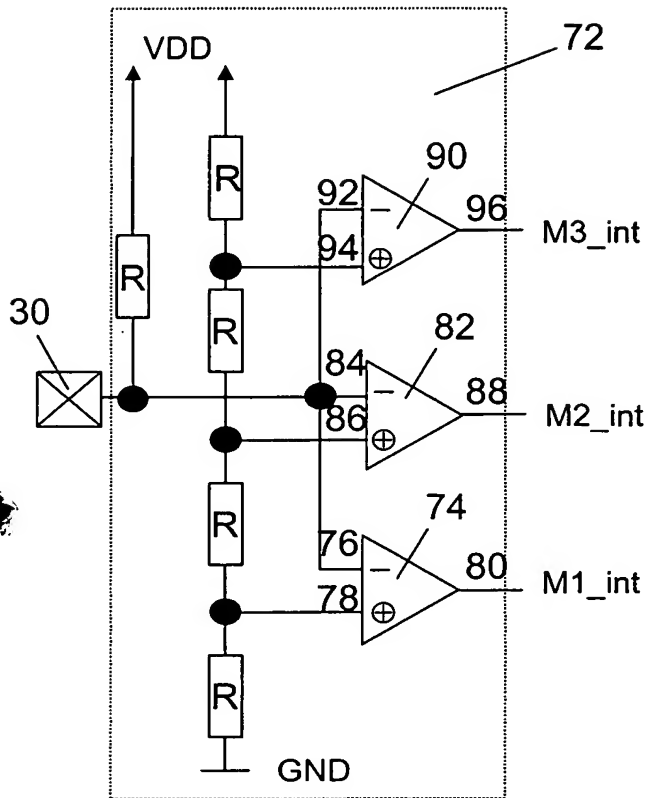
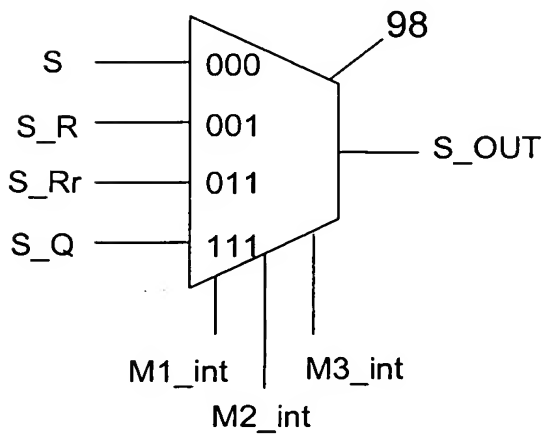


Fig. 10



M1_int	M2_int	M3_int	S_OUT
0	0	0	S
0	0	1	S_R
0	1	1	S_Rr
1	1	1	S_Q

Fig. 11